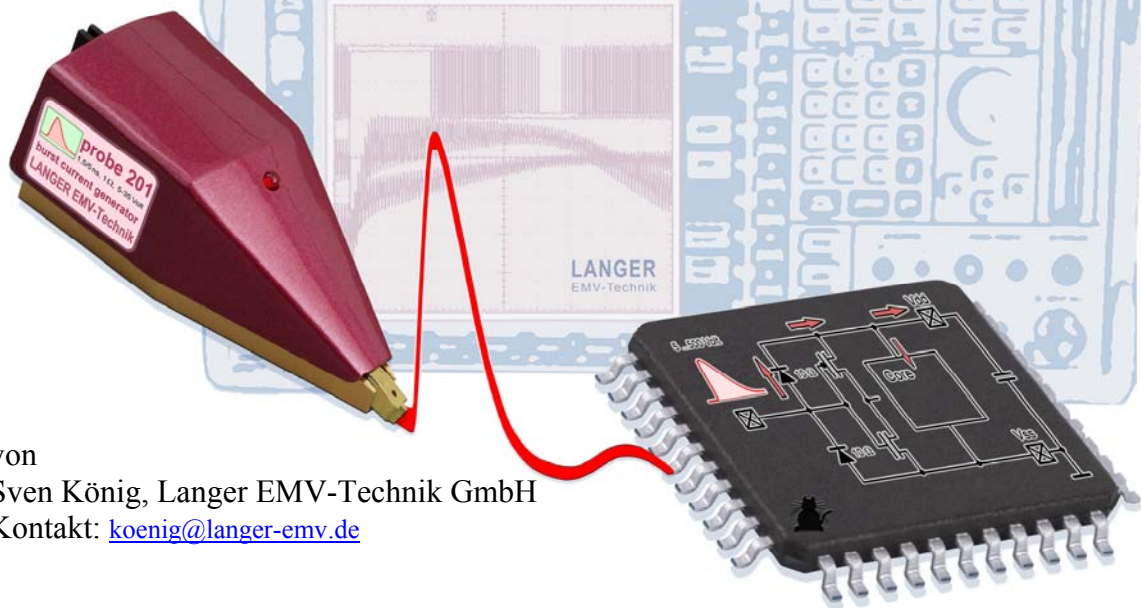


EMV auf Chip-Ebene Beurteilung der Pulsstörfestigkeit von ICs



von
Sven König, Langer EMV-Technik GmbH
Kontakt: koenig@langer-emv.de

Zielstellung

Für die EMV-Eigenschaften von Geräten spielen neben der Layout- und Gehäusegestaltung die Eigenschaften der eingesetzten ICs (Integrated Circuits) eine entscheidende Rolle. Durch die Verringerung der Strukturgrößen, Betriebsspannungen und Schaltschwellen werden die ICs deutlich empfindlicher gegenüber schnellen pulsformigen Störgrößen (ESD, Burst). Bei ASICs und Mikrocontrollern geht die Entwicklung derzeit zu Strukturen unter 100 nm, bei Rechner-Chipsätzen können bis zu 45 nm erreicht werden. Im Zusammenspiel mit höheren Schaltgeschwindigkeiten bewirkt dies ein Absenken der Störfestigkeit um ca. 90% gegenüber der früheren ICs. Diese Tendenz spiegelt sich im EMV-Geräteverhalten wider.

Für die Hersteller von ICs stellen optimale EMV-Eigenschaften ihrer Produkte bei gleicher Funktionalität Vorteile gegenüber den Mitbewerbern dar. Aufgabe muss es daher sein, die für die Störfestigkeit entscheidenden Parameter zu ermitteln und Rückschlüsse auf das Chipdesign zu ermöglichen. Aus der Sicht des Anwenders von ICs liegt es nahe, verschiedene Typen unter den in ihrer Anwendung vorherrschenden Bedingungen zu vergleichen.

ESD-Gerätetests und Testverfahren für ICs

Während für die Geräteebene seit Jahren Normen vorliegen, gibt es für Teile von Geräten wie Baugruppen und Bauteile diese Regelungen nicht. Mit zunehmender Komplexität und vor allem mit zunehmender Integrationsdichte von Bauteilen wird es immer schwieriger, die für Geräte vorgegebenen Normen einzuhalten, ohne auf definierte Bedingungen der IC-Ebene zurückgreifen zu können.

In der Norm IEC 62132 werden Messmethoden zur Messung der Störfestigkeit integrierter Schaltungen gegenüber leitungsgeführten Störungen beschrieben. Zur Zeit werden in dieser Norm jedoch nur die Prüfmethode hinsichtlich kontinuierlicher und amplitudenmodulierter HF-Signale betrachtet. Eine Bewertung der Störfestigkeit hinsichtlich transientser Störungen ist derzeit noch nicht vorgesehen.

Die Festlegung der Prüfpulse für den Test des ICs folgt aus den Prüfverfahren für Geräte. Die entsprechenden Prüfverfahren erzeugen im Gerät elektrische und magnetische Felder. Diese Größen wirken auch lokal an der Schnittstelle des IC-Gehäuses. Prüfgeneratoren für ICs müssen die Störgrößen dieser elektrischen und magnetischen Komponenten allgemeingültig nachbilden. Abbildung 1 zeigt den typischen Aufbau einer ESD-Prüfanordnung. Der an das zu testende Gerät angelegte Prüfpuls $u_G(t)$ eines ESD-Generators erzeugt einen durch das Testobjekt fließenden Stromimpuls $i(t)$. Im Gerät entsteht ein Spannungsabfall und die daraus resultierende elektrische Feldstärke $E(t)$. Der Strom $i(t)$ generiert im Gerät das Pulsmagnetfeld $H(t)$. Diese Felder wirken indirekt über die von außen angeschlossenen Leiterzüge oder die Peripherie auf den IC bzw. auch direkt auf die IC-Gehäuse ein.

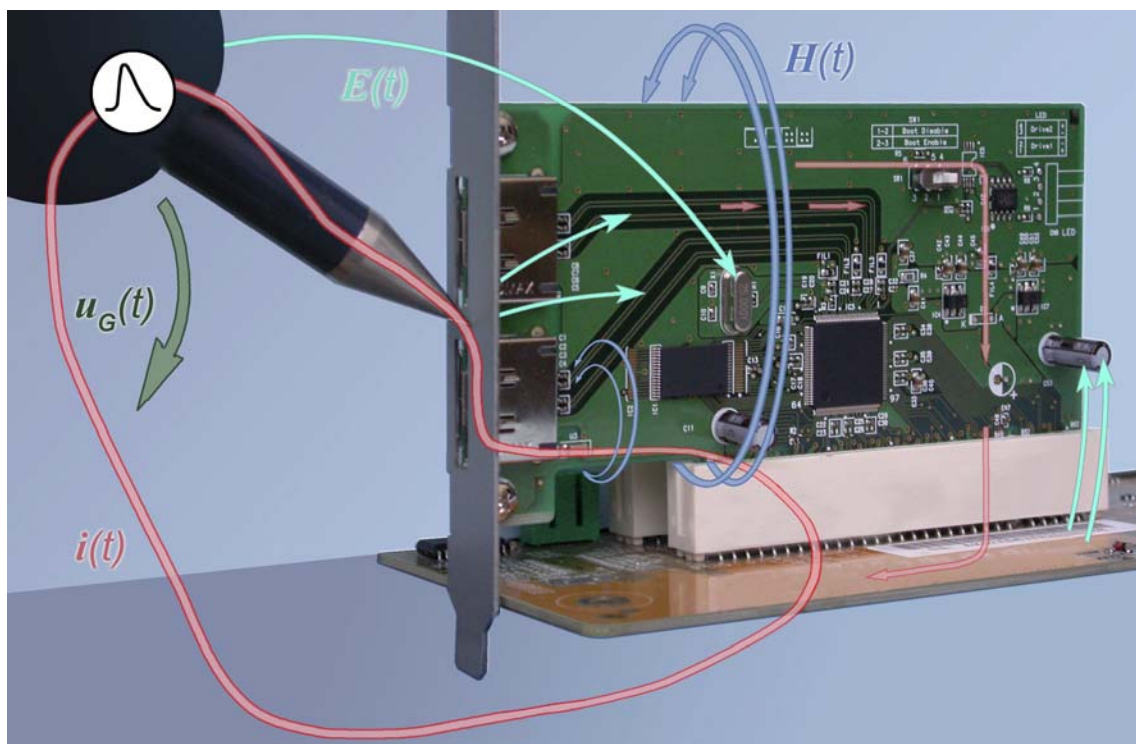


Abbildung 1 – Typischer Aufbau einer ESD-Prüfanordnung

Bei elektronischen Bauelementen ist es heute üblich, die ESD-Festigkeit in der Testspezifikation als einen Wert von einem bis mehreren Kilovolt unter Verweis, z.B. auf das Human Body Model, anzugeben. Dabei wird ein mit der Prüfspannung aufgeladener 100 pF Kondensator über 1500 Ohm auf den Prüfling entladen.

Der Test dient ausschließlich der Absicherung einer gewissen Zerstörfestigkeit des ICs beim Umgang mit dem Bauteil während der Herstellung, der Verpackung, des Transports und bei der Bestückung. Dabei ist das Testobjekt grundsätzlich nicht in Funktion.

Hier muss man sich vom Anliegen der vorliegenden Richtlinien deutlich abgrenzen. Die spezifizierten ESD-Festigkeiten nach dem Human Body Model haben keinen Bezug zum ESD-Verhalten in Funktion. Es ist sogar möglich, dass die für das Human Body Model ausgelegten Schutzmechanismen (ohne Berücksichtigung von Störungen in Funktion) beim funktionellen Störtest Probleme bereiten.

IC-Testsystem der Langer EMV-Technik

Hintergrund des IC-Testsystems ist die ESD- und Burst-Störfestigkeit von Flachbaugruppen und elektronischen Geräten (IEC-Norm 61000-4-2/-4-4). Die Prüfspannungen liegen im Kilovoltbereich. Die ICs selbst besitzen bedeutend niedrigere Störpegel.

Die außen an das Gerät angelegten Impulsspannungen werden auf dem Weg durch die Baugruppe abgeschwächt. Aus Spannungen von einigen Kilovolt außerhalb des Gerätes werden am IC-Pin dagegen nur 1 ... 100 V gemessen.

Zur Prüfung der Pulsstörfestigkeit von ICs wurde deshalb das IC-Testsystem (Abbildung 2) entwickelt.



Abbildung 2 – IC-Testsystem der Pulsstörfestigkeit

Das IC-Testsystem ermöglicht dem Anwender von ICs

- die Verfolgung von Störfestigkeitsänderungen zu dokumentieren,
- die Einwirkung auf Bauteileauswahl und Layout vorzunehmen sowie
- Einsatzentscheidungen abzuschätzen.

Für die Hersteller von ICs besteht die Möglichkeit

- der Überprüfung der Störfestigkeit bestehender ICs und
- der Aufklärung der Störursachen und der Optimierung des ICs.

Zur Einkopplung von Störimpulsen stehen die Generatoren der Reihe P200 und P300 zur Verfügung. Die Dimensionierung der Generatoren orientiert sich an den Mechanismen der Pulseinkopplung in elektronische Baugruppen.

Für Störungen durch Pulsmagnetfelder sind Generatortypen der Reihe P200 vorgesehen. Diese besitzen eine große Koppelkapazität, sind niederohmig und treiben einen großen Strom mit einer kurzen Anstiegszeit in das IC-Pin. Sie sollen die Induktionsschleifen nachbilden, welche auf einem fertigen Board auftreten können. Diese Induktionsschleifen können im Extremfall aus dem IC-internen Stromweg und einen am Pin angeschlossenen Abblockkondensator bestehen.

Störungen durch elektrische Pulsfelder werden mit den Generatoren der Reihe P300 nachempfunden. Sie sind hochohmig und haben eine kleine Koppelkapazität. Die Generatortypen der Reihe P300 bilden die Verschiebestromeinkopplung des elektrischen Feldes nach und koppeln Spannungsimpulse mit einer kurzen Anstiegszeit gleich der P200er-Reihe in das IC-Pin.

Gesteuert werden die Generatoren von einer speziellen Versorgungsstation (BPS 201).

Analyse von Fehlerquellen in der Praxis

In der Praxis ist es in der Regel üblich, dass in einer bestehenden Anwendung der eingesetzte IC-Typ durch den Hersteller abgekündigt wird. Der Nachfolgetyp ist aus Kostengründen geshrinkt worden (in der Strukturbreite verkleinert) und eventuell in der Technologie überarbeitet. Er ist zwar pincompatibel und mit einem größeren Funktionsumfang versehen, kann aber auch schlechtere Eigenschaften bei Störbeeinflussungen aufweisen.

Ist dieser IC nicht nur in einer Baugruppe eingesetzt, sondern in mehreren Applikationen, können solche Änderungen sehr hohe Kosten verursachen. Es müssen Normmessungen durchgeführt werden, welche - bei nichtbestandenem Test - erneut Entwicklungsaufwand in Form von Designänderungen im Layout und zusätzliche Produktionskosten nach sich ziehen würde.

Die Tabelle 1 zeigt ein solches Praxisbeispiel. Der Vorgänger-IC (gelbe Spalten), der in mehr als 80 Applikationen Verwendung fand, ist vom Hersteller durch einen geshrinkten Nachfolge-IC (rote Spalten) ersetzt wurden. Die Gerätetests mit dem ESD-Generator von Schaffner waren nur durch den Austausch des ICs mit dem Engineering Sample (erstes Kundenmuster) im Durchschnitt um ein Drittel schlechter als der gesetzte Grenzwert von 6 kV.

		Vorgänger-IC		geshrinkter Nachfolge-IC			
		eingesetzt in Serienproduktion		Engineering Sample		mehrfach modifiziertes Endprodukt	
		Fehlerschwelle	Fehlerart	Fehlerschwelle	Fehlerart	Fehlerschwelle	Fehlerart
ESD-Gerätetest mit Generator NSG435		[kV]		[kV]		[kV]	
	+	6,0	Funktionsfehler	4,0	Funktionsfehler	> 9,0	--
	-	6,0	Funktionsfehler	4,0	Funktionsfehler	> 9,0	--
Pulsstörfestigkeit der Pins mit Generator P200/P300		[V]		[V]		[V]	
VDD (3,3V)	+	> 25,0	--	3,1	Reset	> 25,0	--
	-	15,0	Datenfehler	5,0	Reset	> 25,0	--
VDD PLL (1,8V)	+	> 25,0	--	19,0	Datenfehler	> 25,0	--
	-	4,5	Datenfehler	2,0	ESD-Schutzstruktur	3,0	Datenfehler
VDD CLK (1,8V)	+	> 25,0	--	10,8	Reset	> 25,0	--
	-	> 25,0	--	1,8	Reset	> 25,0	--
CLK in	+	> 140,0	--	3,5	Taktausfall	> 140,0	--
	-	60,0	Taktausfall	1,5	Reset	60,0	Taktausfall
CLK out	+	> 140,0	--	10,0	ESD-Schutzstruktur	> 140,0	--
	-	42,0	Taktausfall	13,0	ESD-Schutzstruktur	> 140,0	--
Datenleitung	+	97,0	Datenfehler	14,0	Reset	> 140,0	--
	-	120,0	Datenfehler	56,0	Datenfehler	100,0	Datenfehler

Tabelle 1 – Vergleich der Störfestigkeiten der gleichen IC-Produktfamilie

Durch die Pulsstörfestigkeitsuntersuchungen mit dem Langer IC-Testsystem konnten stör anfällige Bereiche im IC durch die jeweiligen Funktionsfehler lokalisiert werden. Im unteren Teil der Tabelle 1 sind einige sensible Pins mit zugehöriger Fehlerschwelle für positive (+) und negative (-) Störbeeinflussung und Fehlerart aufgeführt. Das Engineering Sample hat teilweise um den Faktor 10 reduzierte Fehlerschwellen.

In enger Zusammenarbeit mit dem IC-Hersteller und mehrfacher Modifizierung des ICs konnten größtenteils bessere Ergebnisse als mit dem Vorgängermodell erzielt werden (grüne Spalten). Das in den Applikationen eingesetzte Endprodukt erhöhte die Störfestigkeit so weit, dass mit dem Normgenerator NSG435 (max. 9 kV) keine Beeinflussungen mehr festgestellt wurden.

Beeinflussbare Bereiche der ICs

Datenschnittstellen, mit den am IC-Pin liegenden Eingangszellen, können mit ihrer Signalstörschwelle Datenfehler auslösen. Diese Fehler werden im Allgemeinen durch die im IC implementierten Fehlererkennungs- und Korrekturmechanismen behandelt.

Die Beeinflussung der **Oszillator- oder PLL-Zellen** bewirkt im einfachen Fall ein Aussetzen des Maschinentaktes für Nano- bis Mikrosekunden. Alle Prozesse, die eine korrekte Zeitbasis benötigen, werden gestört. Bei Datenübertragungssystemen entstehen Lücken im Datentransfer, die zu Datenfehlern führen. Das Aussetzen des Taktes kann bei bestimmten ICs Abstürze hervorrufen (Steuerablauffehler).

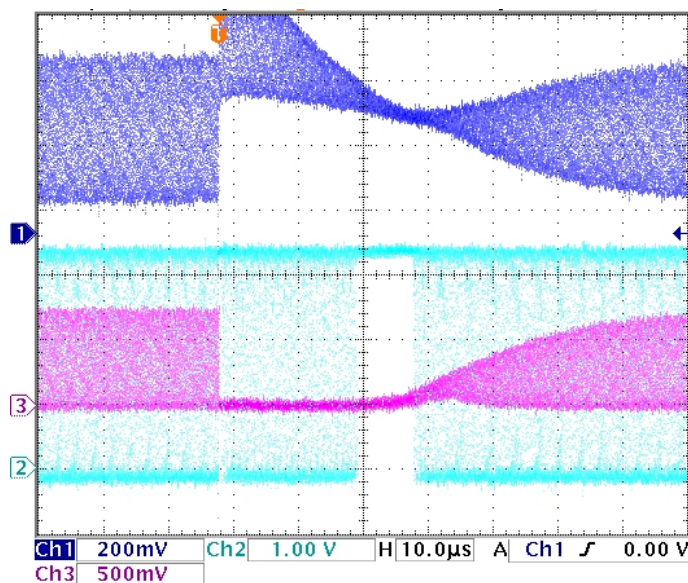


Abbildung 3 - Signalverläufe am Schwingquarz und PLL bei Störeinkopplung

Bei einem Schwingquarzipin (Abbildung 3) wird durch die Störung die Schwingspannung des Quarzes über den Arbeitspunkt hinaus verschoben (Ch1), sodass am Ausgang der Quarzschaltung der Takt ausfällt (Ch3). Die nachgeschaltete PLL überbrückt den Taktausfall für einige Zeit. Nach der Überbrückungszeit bleibt auch die PLL für ca. 10 µs stehen (Ch2). Im einfachsten Fall steht der Prozessor für kurze Zeit, läuft aber nach der PLL-Pause wieder an. Alle zeitabhängigen Prozesse werden gestört. In Interfaces entstehen Datenfehler. Die PLL-Taktunterbrechung kann aber auch zum Absturz des Systems führen.

Reset-Zellen können bei Störbeeinflussung zur Resetauslösung führen. Entstehen intern zu kurze Reset-Impulse, kann ein unvollständiges Reset ausgelöst werden und ein Systemabsturz die Folge sein.

ESD-Schutzstrukturen sollen vor einer ESD-Zerstörung beim Handling schützen. Durch Störimpulse können z.B. Power-Clamps gezündet werden. Die Versorgungsspannung wird kurzgeschlossen. Ist die Spannung unter die Reset-Schwelle gefallen, werden Reset und Wiederanlauf ausgelöst. Wenn die Power-Clamps dauerhaft leitfähig werden, könnte unter Umständen der IC zerstört werden.

Durch das Eindringen von Strom- bzw. Magnetfeldimpulsen in das **Vdd/Vss-Versorgungssystem** wird ein Einschwingvorgang angestoßen, der die Vdd zum Einbrechen bringt. Diese Einbrüche können durch interne Überwachungen (Reset) erkannt werden. Externe Überwachungen hingegen versagen und können ebenfalls kein Reset auslösen.

In diesem Fall entsteht in den Zellen durch den Spannungseinbruch des Versorgungssystems ein Informationsverlust, der eventuell zum unkontrollierten Absturz führen könnte.

Es zeigt sich an diesem Beispiel ganz deutlich, wie sich die EMV-Eigenschaften des ICs im Geräteverhalten widerspiegeln. Da die Störfestigkeit von Flachbaugruppen und elektronischen Geräten in Zukunft einen immer höheren Stellenwert erreicht, ist es für die Hersteller sowie für den Anwender der ICs sehr wichtig, durch eine genauere Fehleranalyse zu verträglichen Lösungen zu kommen. Erst dann kann der wirtschaftliche Vorteil kleiner Siliziumstrukturen wirksam werden.

Der Aufwand zur Fehlervermeidung wird planbar und damit das Risiko beherrschbar.